

| | |
|---------------------|--|
| Requested document: | JP10265241 click here to view the pdf document |
|---------------------|--|

ULTRAVIOLET RAY ABSORBING TRANSPARENT PLATE

Patent Number:

Publication date: 1998-10-06

Inventor(s): ASANO TAKESHI; TAKAESU NOBORU; NISHIKITANI YOSHINORI

Applicant(s): NIPPON OIL CO LTD

Requested Patent: ☐ [JP10265241](#)

Application Number: JP19970132002 19970522

Priority Number(s): JP19970132002 19970522; JP19960170100 19960628; JP19970010468 19970123

IPC Classification: C03C17/30; B32B27/18; C08J7/04; C08L83/08; C09D5/32; C09K3/00

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To shield UV up to a long wavelength range of UV by forming a UV absorbing layer having amide bonds and Si-O bonds on a transparent substrate. **SOLUTION:** A UV absorbing layer of 0.15-50 μ m thickness having amido bonds and Si-O bonds in a molar ration of 1:(1-50) is formed on a transparent substrate of glass, etc., to obtain the objective UV absorbing transparent plate. The UV absorbing layer is formed by allowing an aminosilane compd. represented by formula I to react with a compd. having a benzotriazole skeleton represented by formula II or a compd. having a benzophenone skeleton represented by one of formulae III-VI. In the formula I, R<1> is a 1-10C alkylene or (CH₂)_m-NH (1<=m<=4), R<2> is H, OH, a 1-10C alkyl, etc., and n>=0. In the formula II, R<3> is H, a halogen or a 1-10C alkyl, R<4> is H or a 1-10C alkyl and R<5> is a 1-10C alkylene, etc. In the formulae III-VI, R<6> is a 1-10C alkylene, etc., each of R<7> and R<8> is OH, a 1-10C alkyl, etc., 0<=m<=3 and 0<=n<=3.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-65241

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月5日

H 01 L 21/3205

6824-5F H 01 L 21/88

Z

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積装置

⑯ 特 願 昭63-217526

⑰ 出 願 昭63(1988)8月31日

⑱ 発 明 者 降 矢 安 成 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 上柳 雅 外1名

明 細 書

1. 発明の名称

半導体集積装置

2. 特許請求の範囲

配線層が2つ以上ある半導体集積装置において、ある信号配線に対しその上層、下層いずれかに前記信号の反転信号を平行に配置したことを特徴とする半導体集積装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はアナログ・デジタル混在型半導体集積装置のレイアウト方法に関する。

〔従来の技術〕

従来、ノイズに敏感なアナログ回路が半導体集積回路上に有る時、デジタル信号(特に高い周波数)をアナログ回路のブロックから遠ざけて配置するという手法がとられていた。

〔発明が解決しようとする課題〕

しかし年々回路の集積度が上るにつれ1つの機能を持った回路ブロックはまとめて配置する方が面積効率が良くなり、特にアナログ回路の信号を不用に長くすることは特性上好ましくない。又、抵抗素子や容量素子など比較的大きな面積を占める素子が多数ある場合、高速デジタル信号との距離を遠ざけるという手法は限度がある。

そこで本発明は、高速デジタル信号のスイッチングノイズからアナログ回路等ノイズに敏感な回路への影響を抑えることを目的としている。

〔課題を解決するための手段〕

上記問題点を解決する為、本発明は配線層が2つ以上ある半導体集積装置において、ある信号配線に対しその上層、下層いずれかに前記信号の反転信号を平行に配置したことを特徴とする。

〔実施例〕

以下に本発明の実施例を図面にもとずいて説明する。

第1図において、デジタル信号1とその反転信

号2を上下層に平行に配置してある為、スイッチングノイズが互いにキャンセルされ、その周辺信号4へのスイッチングノイズの影響を軽減することができる。第1図では信号4を信号1と同一配線層に描いてあるが、他の配線層であっても同じ効果が得られる。さらに信号2の真上又は信号1の真下に信号4が配置される場合、通常の信号線のみならず抵抗素子や容量素子、トランジスタ等に対してもノイズキャンセルという原理により、同様の効果が得られる。

第2図はD/A変換回路、A/D変換回路等のアナログ回路では良く使用されるサンプルホールド回路である。回路動作を以下に説明する。21は入力電圧 V_{in} でサンプリングパルス23が来る度にトランスミッションゲート22を通過し、コンデンサ24とオペアンプ26により信号25へ入力電圧21が貯えられる。この信号25はオペアンプ26のボルテージフォロウ入力となり出力電圧27へ出力され、次のサンプリングパルス23が来るまで出力電圧27はホールドされる。

3

第4図は本発明による上記構成にした場合の、サンプルホールド回路のタイミング図である。デジタル信号29のスイッチングの際、信号25はスイッチングノイズの影響を受けにくくなっている。よって正しい値が出力電圧27へ出て来る。

本実施例ではデジタル系からアナログ系への影響を少なくすることを述べたが、本発明の構成を用いてすればアナログ系どうしのスイッチングノイズ対策、デジタル系どうしのスイッチングノイズ対策にも適用できることは明らかである。

又低電圧系と高電圧系の信号が混在する多電源回路の場合にも有効である。

又本構成は3層以上の配線技術にも容易に適用できる。

本発明の実施例をもう1つあげる。

第5図は半導体集積装置(チップ)のレイアウト図である。31、32、は電源VDD、VSSでチップの周辺を囲む様に配置される。33は入出力回路で入出力端子34と内部回路30を中継する機能を有する回路で、この入出力回路33が

このサンプルホールド回路のすぐそばに高速なデジタル信号29が配置されると、正確な入力電圧がホールドされなくなるおそれがある。

第3図はデジタル信号29を単純に配置した時のサンプルホールド回路のタイミング図である。サンプリングパルス23と異なるタイミングでデジタル信号29が動作する場合、そのスイッチングノイズの影響で信号25にノイズがのる。このノイズはごく短い時間で消えるが、信号25のホールド電圧はたまたま正しいホールド電圧からずれた値をホールドしてしまう可能性がある。すると出力電圧27の値も正しい値からずれてしまう。

そこで第1図の構成の様にデジタル信号29とその反転信号を上下層に平行に配置する。この2本の信号はどちらが上層でも良く、互いにスイッチングノイズをキャンセルする方向に働く。

またデジタル信号29と反転信号の配線巾を等しくすることによりスイッチングノイズを互いにキャンセルする効果が上がる。

4

チップの周辺に多数並べられる。近年、配線、配線技術の自動化が進みこのようなレイアウトを有する半導体集積装置が増えている。

今端子34に外部より高速なクロック信号が入力され、信号39を介して内部回路30へ伝わる。この時信号39はVSS31、及びVDD32を横切らなくてはならないので、信号39のクロック周波数成分を持つクロックノイズが電源ラインに入ってしまう、誤動作の原因となり得る。

そこで本発明の構成を信号39に対して適用すれば、VDD32、VSS31に及ぼすクロックノイズを軽減することができる。

〔発明の効果〕

本発明によれば同じ半導体集積回路中から発生するデジタル信号のスイッチングノイズが、ノイズに敏感なアナログ回路へ及ぶのを、極めて簡単な付加パターンにより抑えることができる。

よって本発明は、チップ面積を増大させることなく精度の高いアナログデジタル混在型半導体集

積装置を実現する一手段となる。

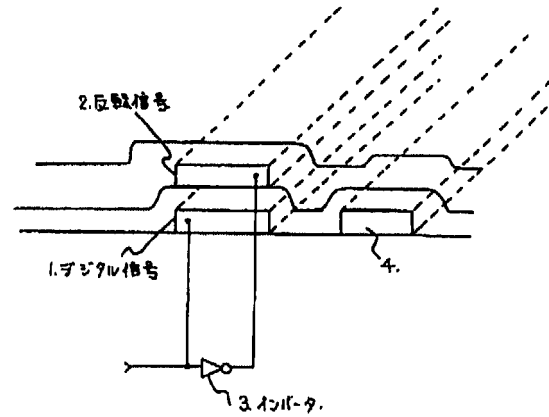
4. 図面の簡単な説明

第1図は本発明による信号配置図、第2図はサンプルホールド回路図、第3図は従来技術によるサンプルホールドタイミング図、第4図は本発明の構成によるサンプルホールドタイミング図、第5図はチップのレイアウト図である。

以 上

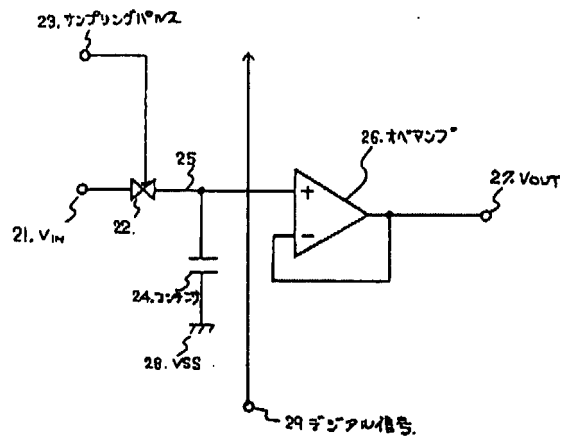
出願人 セイコーエプソン株式会社

代理人 弁理士 上 柳 雅 幸 (他1名)

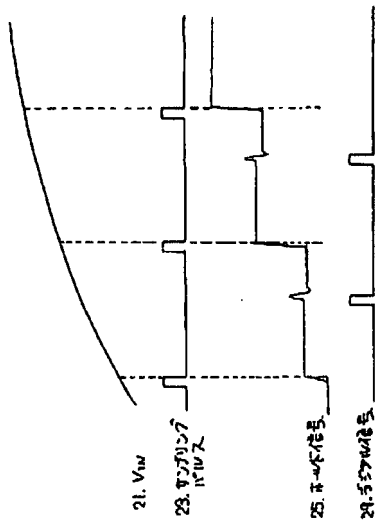


第 1 図

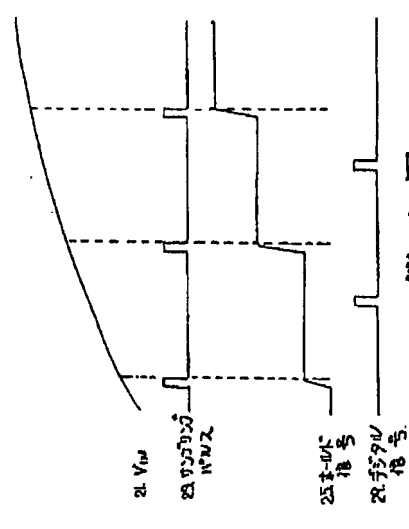
7



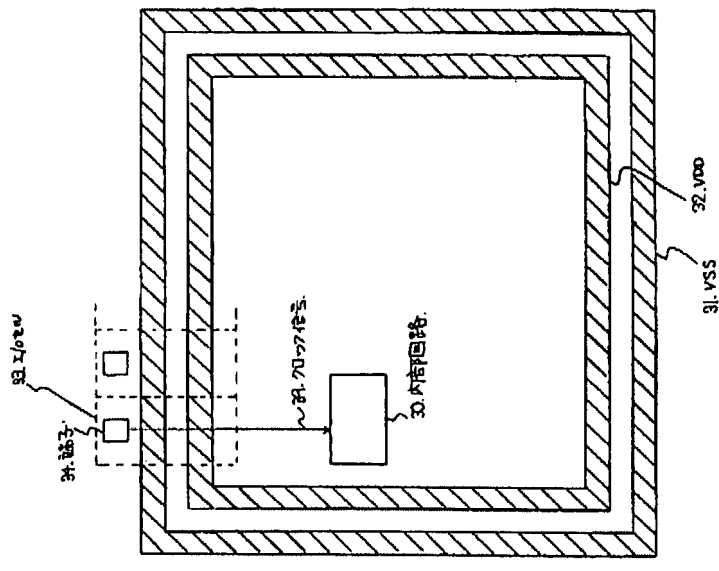
第 2 図



第 3 図



第 4 図



第 5 図